

(11)Publication number : 2000-078609
 (43)Date of publication of application : 14.03.2000

(51)Int.Cl. H04N 11/04
 H04N 5/278
 H04N 5/45
 H04N 9/64

(21)Application number : 10-249447 (71)Applicant : SONY CORP
 (22)Date of filing : 03.09.1998 (72)Inventor : MIYAZAKI SHINICHIRO
 SHIRAHAMA AKIRA
 KOJIMA HIROYUKI
 SUGAYA HIROSHI

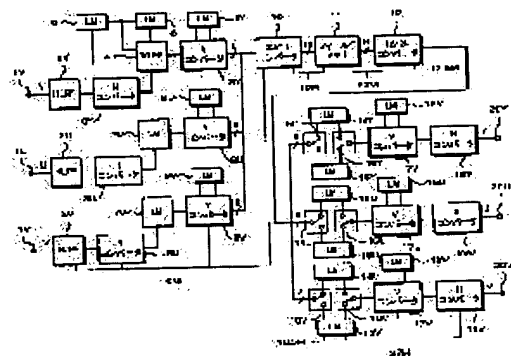
(54) PICTURE SIGNAL PROCESSOR AND PICTURE DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To make it possible to deal with a Text signal in the same way as a picture signal by using one field memory by converting the number of bits of an input picture signal, outputting a picture signal, storing the signal in the field memory and converting the number of bits of the picture signal.

SOLUTION: An HLPF: 2Y, 2U and 2V, a VLPF: 4, H converters 3Y, 3U and 3V, and V converters 8Y, 8U and 8V decimate pixels from a luminance signal Y and color difference signals U and V which convert a 4:4:4 picture signal consisting of RGB signals with a matrix, and contract them. This picture signal is converted from 24 into 12 bit by a 24/12 converter 10 and 12 bit data stored in a field memory 11 are read and converted into 24 bit by a 12/24 converter 12. This is magnified by a switch circuit 13, memories 14Y, 14U, 14V, 15Y, 15U and 15V, V converters 17Y, 17U and 17V and H converters 19Y, 19U and 19V to obtain a display signal respectively.

BEST AVAILABLE COPY



LEGAL STATUS

- [Date of request for examination]
- [Date of sending the examiner's decision of rejection]
- [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
- [Date of final disposal for application]
- [Patent number]
- [Date of registration]
- [Number of appeal against examiner's decision of rejection]
- [Date of requesting appeal against examiner's decision of rejection]
- [Date of extinction of right]

(51) Int. Cl. ⁷	識別記号	F I	テマコード (参考)
H04N 11/04		H04N 11/04	Z 5C023
5/278		5/278	5C025
5/45		5/45	5C057
9/64		9/64	Z 5C066

審査請求 未請求 請求項の数 9 O L (全12頁)

(21) 出願番号 特願平10-249447
 (22) 出願日 平成10年9月3日 (1998.9.3)

(71) 出願人 000002185
 ソニー株式会社
 東京都品川区北品川6丁目7番35号
 (72) 発明者 宮崎 慎一郎
 東京都品川区北品川6丁目7番35号 ソニー株式会社内
 (72) 発明者 白浜 旭
 東京都品川区北品川6丁目7番35号 ソニー株式会社内
 (74) 代理人 100082762
 弁理士 杉浦 正知

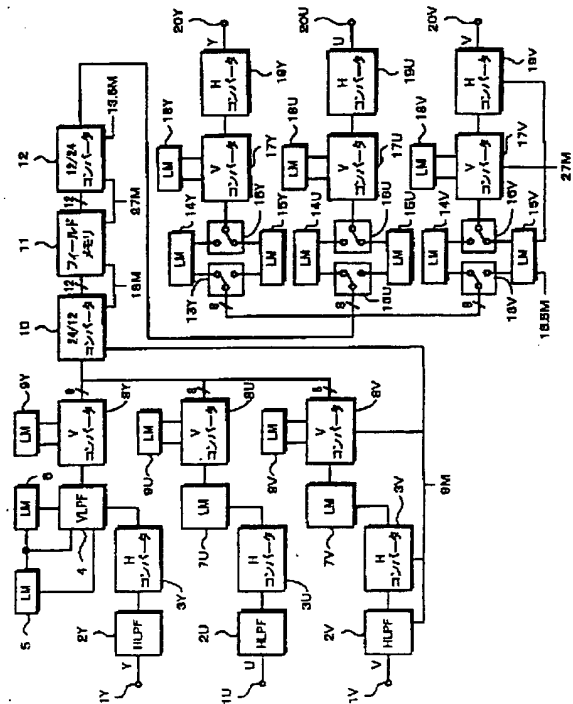
最終頁に続く

(54) 【発明の名称】 画像信号処理装置および画像表示装置

(57) 【要約】

【課題】 RGB信号を画像信号と同じように扱うことができる。

【解決手段】 RGB信号から生成された画像信号がHLPF2、Hコンバータ3、VLPF4、Vコンバータ8において、水平方向、垂直方向に間引かれ、縮小される。24/12コンバータ10では、24ビットから12ビットの信号へ変換される。フィールドメモリ11では、輝度信号と色差信号との帯域の比率が4:4:4となる画像信号が記録される。12/24コンバータ12では、読み出された12ビットから24ビットの信号へ変換される。24ビットの信号は、スイッチ回路13を介してラインメモリ14または15へ供給される。このフィールドメモリ11、12/24コンバータ12、ラインメモリ14、15で倍速変換、同期乗り換え、サイズ調整、ポジション変換が行われる。Vコンバータ17、Hコンバータ19において、拡大される。



【特許請求の範囲】

【請求項 1】 入力画像信号を処理して表示信号を出力する画像信号処理装置において、
入力画像信号のビット数を変換する第 1 のビット数変換手段と、

上記第 1 のビット数変換手段から出力される画像信号を記憶するフィールドメモリと、
上記フィールドメモリから読み出された上記画像信号のビット数を変換する第 2 のビット数変換手段とからなることを特徴とする画像信号処理装置。

【請求項 2】 請求項 1 において、
上記入力画像信号は、RGB 信号から構成された 4 : 4 : 4 の画像信号であることを特徴とする画像信号処理装置。

【請求項 3】 請求項 1 において、
4 : 1 : 1 の画像信号の 2 フィールドを上記フィールドメモリに記憶し、4 : 4 : 4 の画像信号の 1 フィールドを上記フィールドメモリに記憶するようにしたことを特徴とする画像信号処理装置。

【請求項 4】 請求項 1 において、
上記第 1 のビット数変換手段では、倍速変換が行われ、4 : 4 : 4 の画像信号の多重化が行われるようにしたことを特徴とする画像信号処理装置。

【請求項 5】 請求項 1 において、
上記フィールドメモリでは、同期乗り換え、垂直サイズ変換および/または垂直ポジション変換を行うようにしたことを特徴とする画像信号処理装置。

【請求項 6】 請求項 1 において、
上記フィールドメモリは、データ幅を 1 2 ビットとし、容量を約 3 M ビットとするようにしたことを特徴とする画像信号処理装置。

【請求項 7】 請求項 1 において、
上記第 2 のビット数変換手段から読み出された上記画像信号に対して、上記画像信号の輝度信号および色差信号毎にラインメモリを有し、
上記ラインメモリの書き込みタイミングおよび読み出しタイミングが重ならないように制御することによって、水平方向の追い越しを防ぎ、
上記ラインメモリの読み出しタイミングを調整することによって、水平ポジションを調整するようにしたことを特徴とする画像信号処理装置。

【請求項 8】 請求項 7 において、
上記ラインメモリから 2 度読みを交えることによって、水平方向の拡大を行うようにしたことを特徴とする画像信号処理装置。

【請求項 9】 第 1 および第 2 の画像信号処理手段から出力される第 1 および第 2 の画像信号をミックスすることによって、上記第 1 および第 2 の画像信号により 2 画面表示を行うようにした画像表示装置であって、
上記第 1 および第 2 の画像信号処理手段の一方は、

入力画像信号のビット数を変換する第 1 のビット数変換手段と、

上記第 1 のビット数変換手段から出力される画像信号を記録するフィールドメモリと、
上記フィールドメモリから読み出された上記画像信号のビット数を変換する第 2 のビット数変換手段とからなることを特徴とする画像表示装置。

【発明の詳細な説明】

【0001】

10 【発明の属する技術分野】この発明は、画像信号の画面と RGB 信号の画面とを表示装置に表示する場合に適用できる画像信号処理装置および画像表示装置に関する。

【0002】

【従来の技術】最近のテレビジョン受像機においては、画像処理技術の進歩に伴って本来の親画面に対して親画面と同期の異なる子画面を同時に表示させる所謂ピクチャ・イン・ピクチャ（以下、PinP と称す）やピクチャ・アンド・ピクチャ（以下、Pand P と称す）が可能とされたものが普及しつつある。これらの処理が可能とされた画像表示装置には、主に 2 個のフィールドメモリからなる画像信号処理装置が設けられている。この画像信号処理装置において、2 個のフィールドメモリに対して適宜画像データの書き込みおよび読み出し制御を行うことで、PinP や Pand P が可能とされる。

20 【0003】そして、この PinP や Pand P を用いて表示させる方法として、2 画面において、より注目したい側の画面をスムーズに拡大して見せる機能が広まりつつある。画像信号同士からなる PinP や Pand P に加え、画像信号と Text 信号（RGB 信号）とからなるピクチャ・イン・テキスト（以下、PinT と称す）やピクチャ・アンド・テキスト（以下、Pand T と称す）の 2 画面表示でも同様な使い勝手を実現することが望まれている。このような機能を実現するためには、同期乗り換え並びサイズ変更のためのフィールドメモリが必要となる。

【0004】まず、2 画面表示において、上述した機能を実現するための一例の画像信号処理装置の構成例のブロック図を図 8 に示す。端子 4 1 Y から一方の画像の輝度信号 Yin1 が供給され、端子 4 1 U から一方の画像の色差信号 Uin1 が供給され、端子 4 1 V から一方の画像の色差信号 Vin1 が供給される。これら輝度信号 Yin1、色差信号 Uin1 および Vin1 は、信号処理部 5 8 へ供給される。信号処理部 5 8 は、A/D 変換器 4 2 Y、4 2 U、4 2 V、4 9 Y、4 9 U、4 9 V、H・V LPF（水平方向および垂直方向のローパスフィルタ）4 3、5 0、補間回路 4 4、4 6、5 1、5 3、メモリコントローラ 4 5、5 2、ミックス回路 5 5 および D/A 変換器 5 6 Y、5 6 U、5 6 V から構成される。

50 【0005】輝度信号 Yin1、色差信号 Uin1 および Vin1 は、A/D 変換器 4 2 Y、4 2 U および 4 2 V へ供

給される。A/D変換器42Y、42Uおよび42Vでは、供給された信号がデジタル信号へ変換され、H・VLPF43へ供給される。H・VLPF43では、供給された信号に対して水平方向および垂直方向のローパスフィルタが施される。補間回路44では、ローパスフィルタの処理が施された信号の補間処理が行われる。この補間回路44で行われる補間処理は、縮小用の補間処理である。

【0006】このようにA/D変換された信号は、H・VLPF43と補間回路44によって変換サイズ(縮小)に応じたフィルタ処理と補間処理をされ、間引きながら、フィールドメモリ47に書き込まれる。変換後の同期およびクロックに同期して、フィールドメモリ47からデータが読み出されることで同期変換とサイズ変換がなされる。フィールドメモリ47へのデータの書き込みおよび読み出しは、メモリコントローラ45によって制御される。

【0007】補間回路46では、フィールドメモリ47から読み出されたデータに対して補間処理が行われる。この補間回路46で行われる補間処理は、拡大用の補間処理である。すなわち、フィールドメモリ47からデータの2度読みを行い、その後補間回路46によって補間処理がなされる。補間回路46において、補間処理が行われた信号は、ミックス回路55へ供給される。

【0008】端子48Yからは他方の画像の輝度信号Yin2が供給され、端子48Uからは他方の画像の色差信号Uin2が供給され、端子48Vからは他方の画像の色差信号Vin2が供給される。これら輝度信号Yin2、色差信号Uin2およびVin2は、信号処理部58へ供給される。

【0009】輝度信号Yin2、色差信号Uin2およびVin2は、A/D変換器49Y、49Uおよび49Vへ供給される。A/D変換器49Y、49Uおよび49Vでは、供給された信号がデジタル信号へ変換され、H・VLPF50へ供給される。H・VLPF50では、供給された信号に対して水平方向および垂直方向のローパスフィルタが施される。補間回路51では、ローパスフィルタの処理が施された信号の補間処理が行われる。この補間回路51で行われる補間処理は、縮小用の補間処理である。

【0010】このようにA/D変換された信号は、H・VLPF50と補間回路51によって変換サイズ(縮小)に応じたフィルタ処理と補間処理をされ、間引きながら、フィールドメモリ54に書き込まれる。変換後の同期およびクロックに同期して、フィールドメモリ54からデータが読み出される。フィールドメモリ54によって、同期変換と垂直サイズ変換がなされる。フィールドメモリ54へのデータの書き込みおよび読み出しは、メモリコントローラ52によって制御される。

【0011】補間回路53では、フィールドメモリ54

から読み出されたデータに対して補間処理が行われる。この補間回路53で行われる補間処理は、拡大用の補間処理である。すなわち、フィールドメモリ54からデータの2度読みを行いおよびその後補間回路53によって補間処理がなされる。補間回路53において、補間処理が行われた信号は、ミックス回路55へ供給される。

【0012】ミックス回路55では、補間回路46および53から供給される信号が混合される。混合された2画面表示のための画像信号は、D/A変換器56Y、56Uおよび56Vへ供給される。D/A変換器56Yでアナログ化された輝度信号Youtは、端子57Yから出力され、D/A変換器56Uでアナログ化された色差信号Uoutは、端子57Uから出力され、D/A変換器56Vでアナログ化された色差信号Voutは、端子57Vから出力される。

【0013】このように、画像の縮小または拡大を行うために必要とされるフィールドメモリは、画像信号を扱うことを前提に設計されている。画像信号をコンポーネントで処理する場合、輝度信号に対して色差信号は、信号帯域が少ないため、通常4:1:1処理される。そのためメモリ容量を最適化する目的で、フィールドメモリの入力ビット数は、12ビット(=輝度信号が8ビット+色差信号が2ビット×2)であり、容量は、約3Mbitである。

【0014】図8に示すようなPinPやPandPのための信号処理回路によって、PinTやPandTを実現するために、Text信号を画像信号と同じメモリを使用することが考えられる。すなわち、Text信号を4:1:1処理する。しかしながら、細かい色付きの文字を表示した際に色にじみが生じ、文字の判読が非常に難しくなる。

【0015】そこで従来は、輝度信号と色差信号を同じ帯域信号として扱う4:4:4処理をText信号に対して適用するようにしている。この4:4:4処理では、フィールドメモリが2個パラレルに使用される。この場合、フィールドメモリの入力ビット数は、24ビットとなり8ビットの信号を3つ同時に扱うことができる。

【0016】上述したように、Text信号を扱うようにした画像信号処理装置の一例のブロック図を図9に示す。端子61Yからは一方の画像の輝度信号Yin1が供給され、端子61Uからは一方の画像の色差信号Uin1が供給され、端子61Vからは一方の画像の色差信号Vin1が供給される。この端子61Y、61Uおよび61Vから供給される輝度信号Yin1、色差信号Uin1およびVin1は、Text信号(RGB信号)をマトリクスによって変換したものであり、輝度信号と色差信号との帯域の比率が4:4:4となる。これら輝度信号Yin1、色差信号Uin1およびVin1は、信号処理部79へ供給される。信号処理部79は、A/D変換器62Y、

62U、62V、70Y、70U、70V、H・VLPF63、71、補間回路64、66、72、74、メモリコントローラ65、73、ミックス回路76およびD/A変換器77Y、77U、77Vから構成される。

【0017】輝度信号Yin1、色差信号Uin1およびVin1は、A/D変換器62Y、62Uおよび62Vへ供給される。A/D変換器62Y、62Uおよび62Vでは、供給された信号がデジタル信号へ変換され、H・VLPF63へ供給される。H・VLPF63では、供給された信号に対して水平方向および垂直方向のローパスフィルタが施される。補間回路64では、ローパスフィルタの処理が施された信号の補間処理が行われる。この補間回路64で行われる補間処理は、縮小用の補間処理である。

【0018】このようにA/D変換された信号は、H・VLPF63と補間回路64によって変換サイズ（縮小）に応じたフィルタ処理と補間処理をされ、間引きながら、パラレルに接続された2個のフィールドメモリ67および68に書き込まれる。2個のフィールドメモリ67および68が接続されることによって、入力ビット数が24ビットとなる。変換後の同期およびクロックに同期して、フィールドメモリ67および68からデータが読み出されることで同期変換とサイズ変換がなされる。フィールドメモリ67および68へのデータの書き込みおよび読み出しは、メモリコントローラ65によって制御される。

【0019】補間回路66では、フィールドメモリ67および68から読み出されたデータに対して補間処理が行われる。この補間回路66で行われる補間処理は、拡大用の補間処理である。すなわち、フィールドメモリ67および68からデータの2度読みを行い、その後補間回路64によって補間処理がなされる。補間回路66において、補間処理が行われた信号は、ミックス回路76へ供給される。

【0020】端子69Yからは他方の画像の輝度信号Yin2が供給され、端子69Uからは他方の画像の色差信号Uin2が供給され、端子69Vからは他方の画像の色差信号Vin2が供給される。これら輝度信号Yin2、色差信号Uin2およびVin2は、信号処理部79へ供給される。

【0021】輝度信号Yin2、色差信号Uin2およびVin2は、A/D変換器70Y、70Uおよび70Vにおいて、供給された信号がデジタル信号へ変換される。H・VLPF71では、供給された信号に対して水平方向および垂直方向のローパスフィルタが施され、補間回路72では、ローパスフィルタの処理が施された信号の補間処理が行われ、間引きながら、フィールドメモリ75に書き込まれる。変換後の同期およびクロックに同期して、フィールドメモリ75からデータが読み出されることで同期変換とサイズ変換がなされる。フィールドメ

メモリ75へのデータの書き込みおよび読み出しは、メモリコントローラ73によって制御される。補間回路74では、フィールドメモリ75から読み出されたデータに対して補間処理が行われ、補間処理が行われた信号は、ミックス回路76へ供給される。

【0022】ミックス回路76では、補間回路66および74から供給される信号が混合される。混合された2画面表示のための画像信号は、D/A変換器77Y、77Uおよび77Vへ供給される。D/A変換器77Yでアナログ化された輝度信号Youtは、端子78Yから出力され、D/A変換器77Uでアナログ化された色差信号Uoutは、端子78Uから出力され、D/A変換器77Vでアナログ化された色差信号Voutは、端子78Vから出力される。

【0023】このように、Text信号を扱うための専用のフィールドメモリ67および68を備えることによって、そのフィールドメモリ67および68の入力ビット数を4:4:4処理ができる24ビット(=8ビット×3)とすることができる。

【0024】

【発明が解決しようとする課題】しかしながら、この方法では、Text信号を扱うための専用のフィールドメモリが1つ余分に必要となってしまう、コストアップとなる欠点があった。

【0025】従って、この発明の目的は、1個のフィールドメモリを使用し、Text信号を画像信号と同じように扱うことができる画像信号処理装置および画像表示装置を提供することにある。

【0026】

【課題を解決するための手段】請求項1に記載の発明は、入力画像信号を処理して表示信号を出力する画像信号処理装置において、入力画像信号のビット数を変換する第1のビット数変換手段と、第1のビット数変換手段から出力される画像信号を記憶するフィールドメモリと、フィールドメモリから読み出された画像信号のビット数を変換する第2のビット数変換手段とからなることを特徴とする画像信号処理装置である。

【0027】請求項9に記載の発明は、第1および第2の画像信号処理手段から出力される第1および第2の画像信号をミックスすることによって、第1および第2の画像信号により2画面表示を行うようにした画像表示装置であって、第1および第2の画像信号処理手段の一方は、入力画像信号のビット数を変換する第1のビット数変換手段と、第1のビット数変換手段から出力される画像信号を記録するフィールドメモリと、フィールドメモリから読み出された画像信号のビット数を変換する第2のビット数変換手段とからなることを特徴とする画像表示装置である。

【0028】RGB信号をマトリクスによって変換した輝度信号Y、色差信号UおよびVが供給され、それぞれ

の信号に対してHLPFおよびHコンバータの処理が施される。輝度信号Yに対してVLPFの処理が施された後、Vコンバータの処理が施される。色差信号UおよびVに対してVコンバータの処理のみが施される。Vコンバータの処理が施された輝度信号Y、色差信号UおよびVは、 $24/12$ コンバータを介してフィールドメモリに記憶される。フィールドメモリから読み出されたデータは、 $12/24$ コンバータ、スイッチ回路を介して2つのラインメモリの一方に記憶される。2つのラインメモリの一方に記憶されたデータは、読み出される。そして、VコンバータおよびHコンバータを介して出力される。元の画像を縮小する場合、フィールドメモリより前段のフィルタおよびコンバータで処理が行われ、拡大する場合、フィールドメモリより後段のコンバータで処理が行われる。

【0029】

【発明の実施の形態】以下、この発明の一実施形態について図1を参照して説明する。欧州地域のTextデコーダからの出力信号であるRGB信号をマトリクスによって変換した輝度信号Y、色差信号UおよびVが端子1Y、1Uおよび1Vへ供給される。この一実施形態の理解を容易とするためにText信号のいくつかの例について図2を用いて説明する。また、この図1に示すブロック図は、上述した図9の61~68の参照符号で示す部分である。

【0030】日本のText信号および欧州地域のTextデコーダからの出力信号の有効画素の領域を図2に示す。図2に示すように、日本のText信号は、水平周波数を15.734kHzとし、クロック周波数を5.727176MHzとし、水平画素数を364画素とし、垂直ライン数を262.5ラインとする。そして、斜線で示されている有効画素数は248画素とし、有効ライン数は204ラインとする。欧州地域のTextデコーダからの出力信号は、外付け水晶発振子のクロック周波数が12MHzのときには、水平画素数が768画素となり、有効画素数を480画素となる。そして、外付け水晶発振子のクロック周波数が1.35MHzのときには、水平画素数が864画素となり、有効画素数が480画素となる。このように、外付け水晶発振子のクロック周波数(12MHz、13.5MHz)に応じて、水平画素数と有効画素数の比率が変化している。

【0031】この発明は、図2に示すText信号の何れに対しても適用でき、一例としてこの一実施形態では、Textデコーダが12MHzの水晶発振子で動作したときのText信号を使用する。このときのTextデコーダの出力設定は、 $f_h = 15.625\text{kHz}$ 、 $f_v = 50\text{Hz}$ とする。

【0032】輝度信号Y、色差信号UおよびVは、端子1Y、1Uおよび1Vを介してHLPF2Y、HLPF

2Uおよび2Vへ供給される。HLPF2Yでは、端子1Yから供給された輝度信号Yの水平方向(H)に対してローパスフィルタ(LPF)が施される。Hコンバータ3Yでは、水平方向の隣り合う画素から補間処理が行われる。具体的には、このHLPF2YおよびHコンバータ3Yでは、所定の大きさに縮小するために、水平方向の画素の間引きが行われる。

【0033】同様に、HLPF2Uおよび2Vでは、端子1Uおよび1Vから供給された色差信号UおよびVの水平方向に対してローパスフィルタが施される。Hコンバータ3Uおよび3Vでは、それぞれ水平方向の隣り合う画素から補間処理が行われる。上述と同様に、HLPF2U、2V、Hコンバータ3Uおよび3Vでは、所定の大きさに縮小するために、水平方向の画素の間引きが行われる。

【0034】VLPF4では、間引かれた輝度信号Yの垂直方向(V)に対してローパスフィルタが施される。このVLPF4には、ラインメモリ(LM)5および6が結合される3タップのフィルタ構成とされる。それぞれのラインメモリ5および6には、一例として1H(1水平周期)前の輝度信号および2H前の輝度信号がそれぞれ記憶される。VLPF4の処理は、画面サイズが $1/2$ より小さくなる場合、ラインがなくなる場合があるので、ラインを残すためになされる。Vコンバータ8Yでは、垂直方向の上下のラインから補間処理が行われる。具体的には、このVLPF4およびVコンバータ8Yでは、所定の大きさに縮小するために、垂直方向のラインの間引きが行われる。このとき、Vコンバータ8Yに結合されるラインメモリ9Yから1H前の画素が出力される。

【0035】間引かれた色差信号UおよびVは、輝度信号Yに対する処理の時間合わせのために、ラインメモリ7Uおよび7Vへ供給される。Vコンバータ8Uおよび8Vでは、垂直方向の上下のラインから補間処理が行われる。具体的には、このVコンバータ8Uおよび8Vでは、所定の大きさに縮小するために、垂直方向のラインの間引きが行われる。このとき、Vコンバータ8Uおよび8Vに結合されるラインメモリ9Uおよび9Vから1H前の画素が出力される。

【0036】元の画像を縮小する場合、HLPF2Y、2U、2V、Hコンバータ3Y、3U、3V、VLPF4およびVコンバータ8Y、8U、8Vによって、補間処理が行われる。例えば、画像を $1/2$ に縮小する場合には、水平方向に関しては、奇数番目のデータが間引かれると共に、垂直方向に関しては、偶数ラインのデータ列が間引かれて、 $1/2$ に縮小された状態となる。また、輝度信号YのみHコンバータ3Yと、Vコンバータ8Yとの間に、VLPF4を備えているが、これによって、折り返し歪みの除去を良好に行うことができる。

【0037】Vコンバータ8Y、8Uおよび8Vから

は、それぞれ8ビットの信号が出力され、その24ビットの信号は、24/12コンバータ10へ供給される。24/12コンバータ10では、供給された24ビットの信号が12ビットの信号へ変換される。後述するように、4:4:4処理を行うために、それぞれ8ビットの信号がMSBを含む上位4ビットおよびLSBを含む下位4ビットに分けられ、上位4ビットを集めた12ビットの信号と、下位4ビットを集めた12ビットの信号へ変換される。

【0038】HLPF2Y、2U、2V、Hコンバータ3Y、3U、3V、Vコンバータ8Y、8U、8Vは、9MHzのクロック周波数に基づいて、動作する。そして、24/12コンバータ10へ9MHzのクロック周波数で供給された24ビットの信号は、18MHzのクロック周波数で読み出されることによって、倍速化された12ビットの信号へ変換される。

【0039】12ビットへ変換された信号は、画像用のフィールドメモリ11に記憶される。フィールドメモリ11では、18MHzのクロック周波数で記録された信号が27MHzのクロック周波数で読み出される。フィールドメモリ11から読み出された信号は、12/24コンバータ12へ供給される。12/24コンバータ12では、27MHzから13.5MHzへサンプリングレートの変換(同期変換)が行われ、供給された12ビットの信号が24ビットの信号へ変換される。この24ビットの信号は、8ビットの輝度信号Yおよびそれぞれ8ビットの色差信号UおよびVからなる。8ビットの輝度信号Yは、スイッチ回路13Yへ供給され、8ビットの色差信号Uは、スイッチ回路13Uへ供給され、8ビットの色差信号Vは、スイッチ回路13Vへ供給され

【0040】スイッチ回路13Yでは、供給された輝度信号Yをラインメモリ14Yおよび15Yの一方が選択される。輝度信号Yは、13.5MHzのクロック周波数に基づいてラインメモリ14Yまたは15Yに記憶される。ラインメモリ14Yおよび15Yに記憶された輝度信号Yは、27MHzのクロック周波数で読み出され、スイッチ回路16Yを介してVコンバータ17Yへ供給される。

【0041】Vコンバータ17Yでは、所定の大きさに拡大するために、垂直方向の上下のラインから補間処理が行われる。このとき、Vコンバータ17Yに結合されるラインメモリ18Yに1H前の画素が記憶される。補間処理が行われた信号は、Hコンバータ19Yへ供給される。Hコンバータ19Yでは、所定の大きさに拡大するために、水平方向の隣り合う画素から補間処理が行われる。垂直方向および水平方向の補間処理が行われた輝度信号Yは、端子20Yから出力される。

【0042】同様に、スイッチ回路13Uを介して、供給された色差信号Uがラインメモリ14Uおよび15U

の一方に供給され、記憶される。ラインメモリ14Uまたは15Uに記憶された色差信号Uは、スイッチ回路16Uを介してVコンバータ17Uへ供給される。

【0043】スイッチ回路13Vを介して、供給された色差信号Vがラインメモリ14Vおよび15Vの一方に供給され、記憶される。ラインメモリ14Vまたは15Vに記憶された色差信号Vは、スイッチ回路16Vを介してVコンバータ17Vへ供給される。Vコンバータ17およびHコンバータ19は、27MHzのクロック周波数に基づいて動作する。

【0044】Vコンバータ17Uおよび17Vでは、所定の大きさに拡大するために、垂直方向の上下のラインから補間処理が行われる。このとき、Vコンバータ17Uおよび17Vに結合されるラインメモリ18Uおよび17Vに1H前の画素が記憶される。補間処理が行われた信号は、Hコンバータ19Uおよび19Vへ供給される。Hコンバータ19Uおよび19Vでは、所定の大きさに拡大するために、水平方向の隣り合う画素から補間処理が行われる。垂直方向および水平方向の補間処理が行われた色差信号UおよびVは、端子20Uおよび20Vから出力される。

【0045】端子20Y、20Uおよび20Vから出力されるText信号は、上述した図9に示すように、ミックス回路(図示なし)へ供給され、他方の画像信号と混合される。

【0046】この一実施形態では、元の画像を拡大するときには、入力された画像データから補間データを形成してそれぞれの画像データ間に所定の比率で補間データを挿入し、所定の画像を構成するのに必要な画素数の画像データが形成される。

【0047】また、この一実施形態では、元の画像を縮小するときには、HLPF2Y、2U、2V、Hコンバータ3Y、3U、3V、VLPF4、Vコンバータ8Y、8U、8Vによって、間引きが行われ、元の画像を拡大するときには、Vコンバータ17Y、17U、17VおよびHコンバータ19Y、19U、19Vによって、補間処理が行われる。また、拡大を容易とするために縮小する場合もある。

【0048】次に、図3を参照して24/12コンバータ10について説明する。上述した12MHzのクロック周波数で水平画素数が768画素となるText信号を18MHzのクロック周波数でサンプリングした場合、図3Aに示すように、水平画素数は、1152画素となり、有効領域のサンプリング数、すなわち有効画素数は720画素となる。この一実施形態では、図1に示すように輝度信号Y、色差信号UおよびVに対して別々にフィルタ処理(HLPF2Y、2U、2V、輝度信号YのみVLPF4)および補間処理(Hコンバータ3Y、3U、3V、Vコンバータ8Y、8U、8V)が9MHzのクロック周波数で動作する。図3Bに示すよう

に、HLPF2Y、2U、2VおよびHコンバータ3Y、3U、3Vで画素数が半分の360画素とされる。そして、図3Cに示すように、24/12コンバータ10において、9MHzのクロック周波数で入力される8bit×3=24bitのデータが18MHzのクロック周波数で出力されて、倍速化された12bitの画素データに変換される。

【0049】この12ビットの画素データは、図4Aに示すように、フィールドメモリ11に書き込まれる。この図4Aは、水平サイズおよび垂直サイズを元の画像以上10に拡大するときに、フィールドメモリ11に書き込まれるデータの一例である。また、図4Bは、水平サイズおよび垂直サイズを縮小(1/2)とするときに、フィールドメモリ11に書き込まれるデータの一例である。この図4Bに示すように、サイズを縮小するときには、画素およびラインを間引きながらデータがフィールドメモリ11に書き込まれる。

【0050】次に、フィールドメモリ11からは、垂直サイズと垂直ポジションに応じてデータが読み出される。変換される垂直サイズが元の画像のライン数よりも20小さい場合、間引かれて記録されたデータがフィールドメモリ11から連続して読み出される。また、変換される垂直サイズが元の画像のライン数よりも大きくなる場合、同じラインを2度読みしながら、拡大される。垂直ポジションは、データを読み出すタイミングをずらせることで調整される。

【0051】水平サイズは、垂直サイズと同様に360画素よりも小さい場合、間引きながら書き込まれたフィールドメモリ11からデータを連続的に読み出すことで30調整される。フィールドメモリ11を介して、垂直サイズ、垂直ポジションおよび360画素以下の水平サイズ調整が行われる。

【0052】フィールドメモリ11の読み出し側では、水平倍速変換および/または同期乗り換えを行うため、27MHzのクロック周波数で読み出す。このとき、図5Aに示すように、1Hの有効区間の画素数は、720画素となる。さらに、2倍の54MHzのクロック周波数でフィールドメモリ11からデータを読み出すことが40できれば、水平ポジションおよび水平サイズの調整が可能となる。しかし、既存のフィールドメモリではこのような高速アクセスは不可能である。そこで、この一実施形態では、水平ポジションおよび水平サイズの調整がラインメモリ14Y、14U、14Vおよび15Y、15U、15Vを使用して実現される。

【0053】すなわち、図5Bに示すように、フィールドメモリ11に27MHzのクロック周波数で読み出された12ビット幅のデータは、図5Cに示すように、12/24コンバータ12において、13.5MHzのクロック周波数でサンプリングレートが変換される。すな40わち、12ビット幅のデータは、輝度信号Y、色差信号

UおよびVの各々8bitからなる24ビット幅のデータに変換される。このとき、画素数は最大360画素となる。

【0054】次に、輝度信号Y、色差信号UおよびVの信号は、それぞれに2ラインずつ用意されたラインメモリ14Y、14U、14Vおよび15Y、15U、15Vに、ライン毎に交互に書き込まれる。このようすを図6を用いて説明する。端子21から供給される8ビットのデータは、スイッチ回路13を介してラインメモリ14および15の一方に供給される。このスイッチ回路13は、端子22から供給されるラインコントロール信号によって制御される。ラインメモリ14および15には、端子23から供給される13.5MHzの書き込み時のクロック周波数(wclk)が供給される。端子24から供給される書き込み許可信号(Write Enable)は、ANDゲート25の一方およびANDゲート26の一方に供給される。

【0055】ANDゲート25の他方には、ラインコントロール信号が供給される。ANDゲート25では、書き込み許可信号と、ラインコントロール信号との論理和が行われ、その結果は、ラインメモリ14へ供給される。ANDゲート26の他方には、NOTゲート27を介したラインコントロール信号が供給される。ANDゲート26では、書き込み許可信号と、NOTゲート27を介したラインコントロール信号との論理和が行われ、その結果は、ラインメモリ15へ供給される。

【0056】NOTゲート27の出力は、スイッチ回路16の制御端子、ANDゲート26の他方およびANDゲート28の一方へ供給される。端子30から供給される読み出し許可信号(Read Enable)は、ANDゲート28の他方およびANDゲート29の他方へ供給される。ANDゲート28では、NOTゲート27を介したラインコントロール信号と、読み出し許可信号との論理和が行われ、その結果は、ラインメモリ14へ供給される。

【0057】ANDゲート29の一方には、ラインコントロール信号が供給される。ANDゲート29では、ラインコントロール信号と、読み出し許可信号との論理和が行われ、その結果はラインメモリ15へ供給される。端子31から供給される27MHzのクロック周波数40(rclk)は、ラインメモリ14および15へ供給される。

【0058】スイッチ回路16では、NOTゲート27を介したラインコントロール信号によって、ラインメモリ14および15の一方から読み出されるデータが選択される。選択された8ビットのデータは、端子32から出力される。

【0059】このようにラインメモリ14および15の一方に対して書き込みと読み出しとが同時になされないように制御される。つまり、2個のラインメモリ14お

よび15の間において、一方のラインメモリに対して書き込み処理がなされている時には、他方のラインメモリに対して読み出し処理がなされるように常に制御することで、追い越しの発生が防止される。ラインメモリ14および15に書き込む場合、実際には、図7Bに示すように、13.5MHzのクロック周波数(wclk)が供給され、書き込み許可信号(図7C)により1クロックおきに書き込まれる。読み出す場合、図7Eに示すように、27MHzのクロック周波数(rclk)に同期して連続して読み出される。

【0060】この一実施形態では、図7Dに示すように、読み出し許可信号がアクティブとなる期間中にデータが読み出される。このように、データをラインメモリから読み出すタイミングを調整することにより、水平ポジションおよび水平サイズが調整される。そして、水平サイズを360画素以上とする場合、このラインメモリから2度読みを交えてデータが読み出され、後段のVコンバータ17Y、17U、17VおよびHコンバータ19Y、19U、19Vで補間信号が演算される。

【0061】このように、この一実施形態では、輝度信号Y、色差信号UおよびVが共に同等の画素数(360画素)の処理を既存の1個のフィールドメモリ11で行うために、フィールドメモリ11の前後でビット数変換(24/12コンバータ10、12/24コンバータ12)が行われる。これによって、4:4:4の画像信号を4:1:1の画像信号と同等に扱うことができるので、画像用のフィールドメモリを用いることができる。そして、フィールドメモリ11を介して垂直サイズおよび垂直ポジションの調整、水平サイズの縮小調整が行われ、後段のラインメモリ14および15を介して水平ポジ

ションと水平サイズの拡大調整が行われる。

【0062】この一実施形態では、Text信号(RGB信号)をマトリクス変換したYUV信号であり、輝度信号と色差信号との帯域の比率が4:4:4となるものであるが、画像用のフィールドメモリを用いるので、4:4:4となる画像信号と、4:1:1となる画像信号とを切り換えて記録することができる。このとき、4:4:4の画像信号は、1フィールド単位でフィールドメモリに記録されるが、4:1:1の画像信号は、2フィールド単位で記録される。

【0063】この一実施形態では、欧州地域のTextデコーダが12MHzの水晶発振子で動作したときのText信号を一例として用いているが、上述したように

13.5MHzの水晶発振子で動作したときのText信号または日本のText信号を使用しても同様な効果を得ることができる。

【0064】

【発明の効果】この発明に依れば、色差信号の帯域の広いText信号に対しても色にじみすることなく、倍速変換および/または同期乗り換えを伴う水平サイズ、水平ポジション、垂直サイズおよび垂直ポジションの変更が1個の画像用のフィールドメモリを用いるだけで実現可能となり、従来と比較して1個分のフィールドメモリのコストダウンが図れる。また、1個のフィールドメモリでText信号の画面の拡大または縮小が可能となるため、拡大/縮小機能が伴う、Pand PおよびPand Tが同じシステム構成で実現することができる。

【図面の簡単な説明】

【図1】この発明が適用される一実施形態のブロック図である。

【図2】Text信号の説明に用いる図である。

【図3】この発明に適用される24/12コンバータの説明に用いる略線図である。

【図4】この発明に適用されるフィールドメモリの略線図である。

【図5】この発明に適用される12/24コンバータの説明に用いる略線図である。

【図6】この発明に適用されるラインメモリの説明に用いる略線図である。

【図7】この発明に適用されるラインメモリの説明の用いる略線図である。

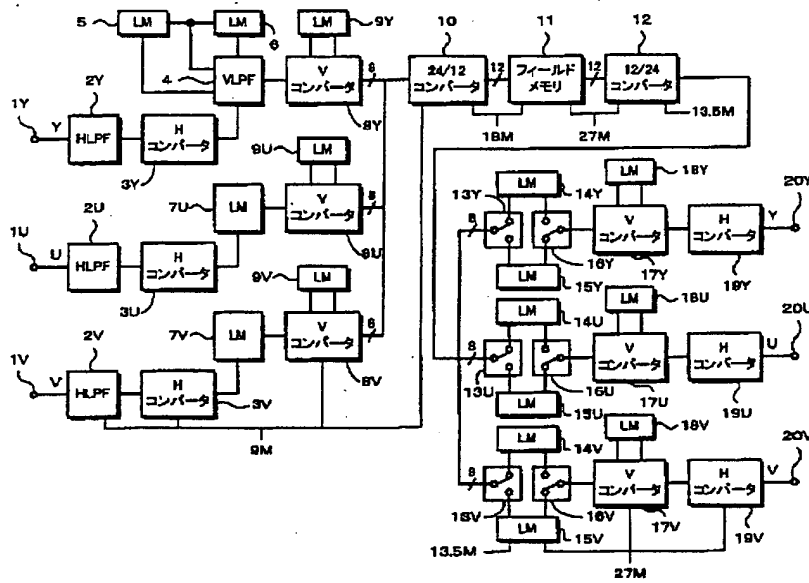
【図8】従来の2画面表示を実現するためのブロック図である。

【図9】従来のText信号と画像信号とを表示するためのブロック図である。

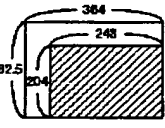
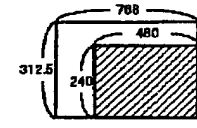
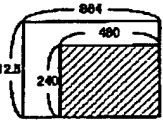
【符号の説明】

2Y、2U、2V・・・HLPF、3Y、3U、3V、19Y、19U、19V・・・Hコンバータ、4・・・VLPF、5、6、7U、7V、9Y、9U、9V、14Y、14U、14V、15Y、15U、15V、18Y、18U、18V・・・ラインメモリ、8Y、8U、8V、17Y、17U、17V・・・Vコンバータ、10・・・24/12コンバータ、11・・・フィールドメモリ、12・・・12/24コンバータ、13Y、13U、13V、16Y、16U、16V・・・スイッチ回路

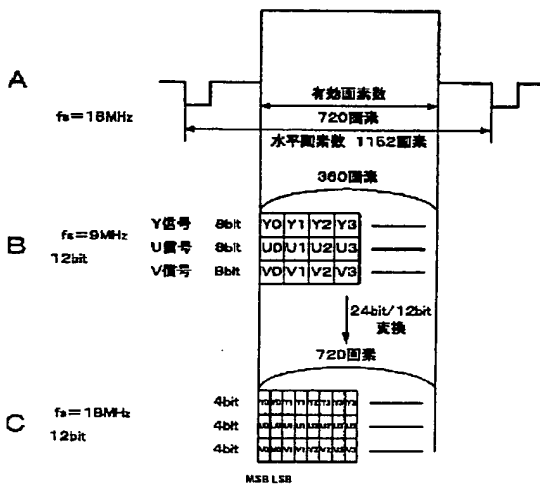
【図1】



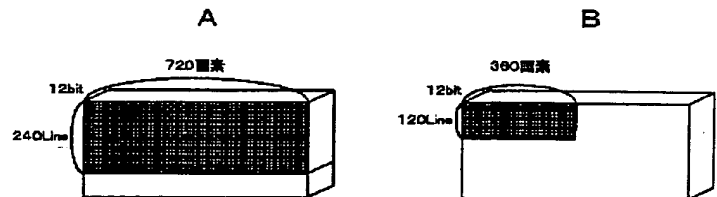
【図2】

	Japan Text	欧州Textデコード出力信号(MagorTextデコード)	
水平周波数	15.734kHz	15.625kHz	15.625kHz
クロック周波数	$364 \times f_h = 5.727176\text{MHz}$	$768 \times f_h = 12\text{MHz}$	$864 \times f_h = 13.5\text{MHz}$
有効画素数 有効ライン数			

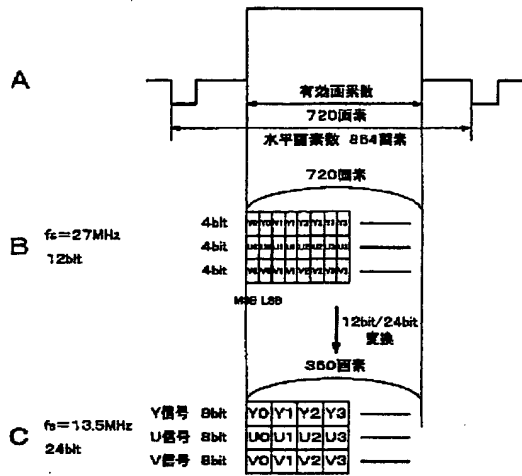
【図3】



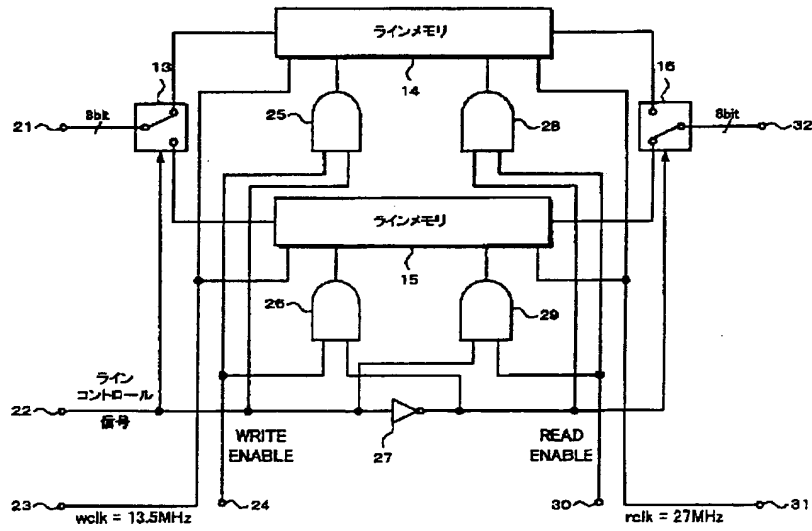
【図4】



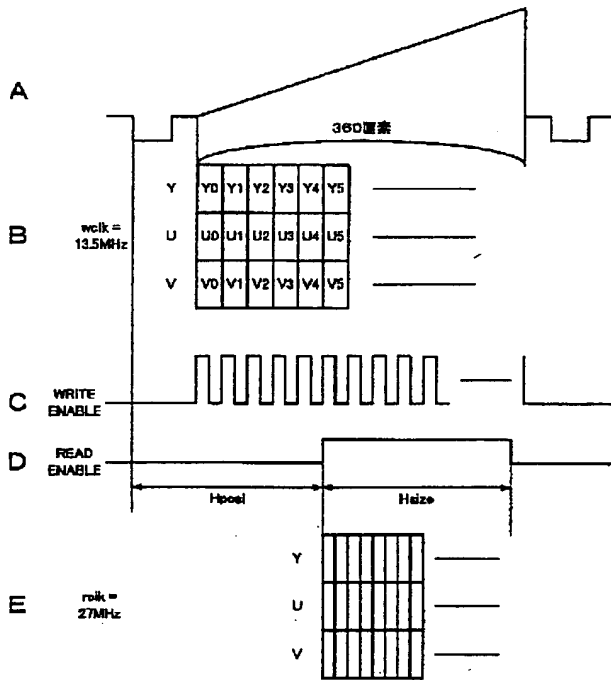
【図 5】



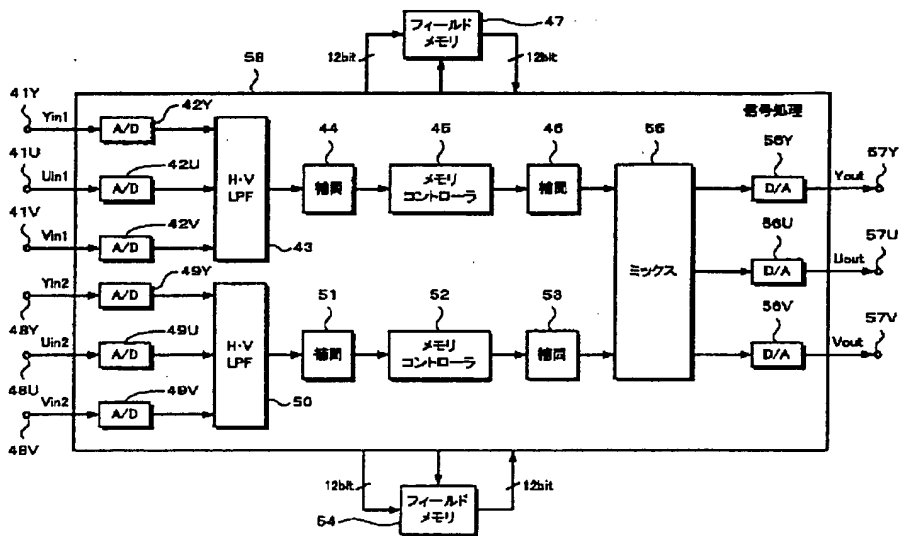
【図 6】



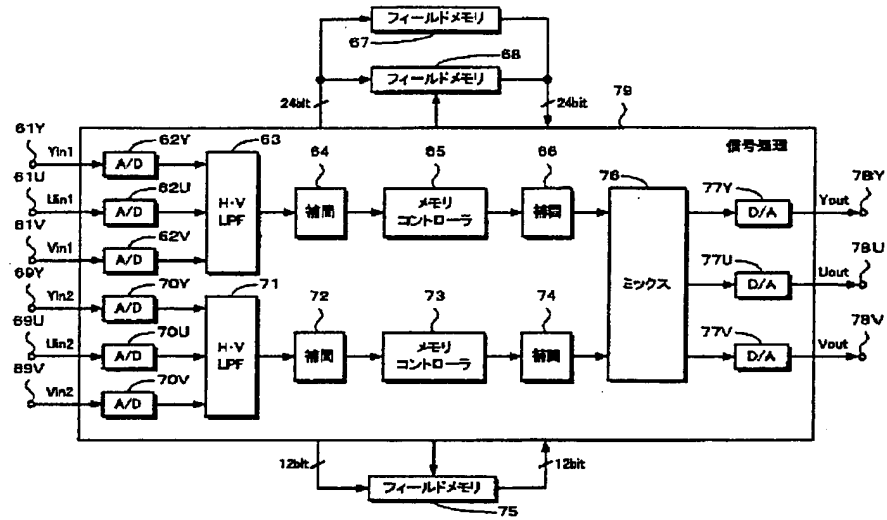
【 図 7 】



【 図 8 】



【 図 9 】



フロントページの続き

(72) 発明者 児嶋 宏之
 東京都品川区北品川 6 丁目 7 番 35 号 ソニ
 ー株式会社内

(72) 発明者 菅谷 洋
 東京都品川区北品川 6 丁目 7 番 35 号 ソニ
 ー株式会社内

F ターム (参考) 5C023 AA02 AA15 BA15 CA03 DA04
 EA10
 5C025 BA27 BA28 CA06 CA11 DA10
 5C057 AA06 BA01 BB03 DA04 DA06
 DC01 EA01 EA02 EA07 EB12
 EH10 EL01 GC09 GC10 GF01
 GF02 GF07 GG01 GG06 GG07
 GL02
 5C066 AA03 BA01 CA01 CA09 DD03
 DD07 DD08 EE03 GA01 GA02
 GA05 GA20 HA01 KC08 KC09
 KE12 KE13 KE19 KE20 KG01